[控制系统]

电力无线通信专用基带芯片的设计与实现

文/北京南瑞智芯微电子科技有限公司　周春良　樊文杰　王连成　周芝梅　唐晓柯

介绍了一种新型的、低成本低功耗的LTE230电力无线通信专用基带芯片的设计与实现，详述了芯片的总线架构、模块功能、关键技术和设计思想。

随着国家智能电网的发展，电力业务对通信信道提出了全新、更高的要求。新型LTE230电力无线通信专网正是顺应了当前智能电网发展的这种需要而产生的，它基于电力行业在230 MHz频段中40个授权的频点，结合了公网TD－LTE的先进技术，利用载波聚合和软件无线电技术，从而达到覆盖半径大、支持海量用户、电力业务适应性强、传输速率高以及安全可靠等特点，为电力系统提供了完整专业的无线通信解决方案。

当前LTE230的电力无线通信专网已经在浙江海盐、江苏扬州和北京东城区等多处开展了试点工作，这些试验网的成功投入运行，为电力通信专网建设提供了良好的借鉴意义和示范作用。但在这些试点试验网系统中，其终端解决方案大都采用业界通用的DSP芯片外加FPGA的方案实现的，存在成本高、功耗大等问题，极大地限制了LTE230电力无线通信专网的进一步推广和大规模应用。因此，开发具有高集成度、低成本、低功耗的LTE230无线通信专用基带芯片，对于推进电力无线通信专网的产业化具有重要意义。

芯片结构

芯片主体架构如图1所示，它是一个典型的基带SOC芯片架构，采用业界流行的三层总线架构，即一级总线为AXI、二级总线为AHB、三级总线为外设APB总线。AXI总线是一个矩阵式结构，包括4个AXI Master和4个AXI Slave接口，采用全联通模式。和AXI总线相联的模块有：DSP核，系统DMA、中频DMA、2组eDRAM，以及AXI2AHB桥。其中DSP核包括一个指令AXI Master接口、一个数据AXI Master接口及一个可用来访问DSP核内部DTCM的AXI slave接口；系统DMA和中频DMA皆为AXI Master接口，2组eDRAM及AXI2AHB桥皆为AXI Slave接口。

AHB总线上的从设备包括中频的配置接口、DMA配置接口、中断控制器、BootROM、SPI Flash控制器和AHB2APB桥。SPI Flash控制器提供两种工作模式，Memory模式和控制器模式，在Memory模式下，SPI Flash控制器可直接把AHB总线上的读操作转换为SPI flash器件的读操作，这种模式可以用来作为系统Boot之用；在控制器模式下，可通过DSP对SPI flash器件进行通用的读、擦除和编程等操作。

APB总线上的从设备包括SPI_CFG模块、SPI_MAC模块、定时器Timer、串口、I2C控制器、看门狗WDT、GPIO模块、 SCU系统控制单元和PWM模块。其中SPI_CFG是用于射频芯片控制的；SPI_MAC模块是用于和片外的以太网控制芯片相连，为芯片提供以太网数据通信链路；4个Timer可用作系统定时；2个串口一个用作调试，另一个用作数据通信接口；I2C是用来和片外EEPROM通信，获取系统的配置信息及校正信息；WDT是用来防止DSP软件跑飞的；8个GPIO分两组，可提供1.8 V和3.3 V输入输出控制；SCU

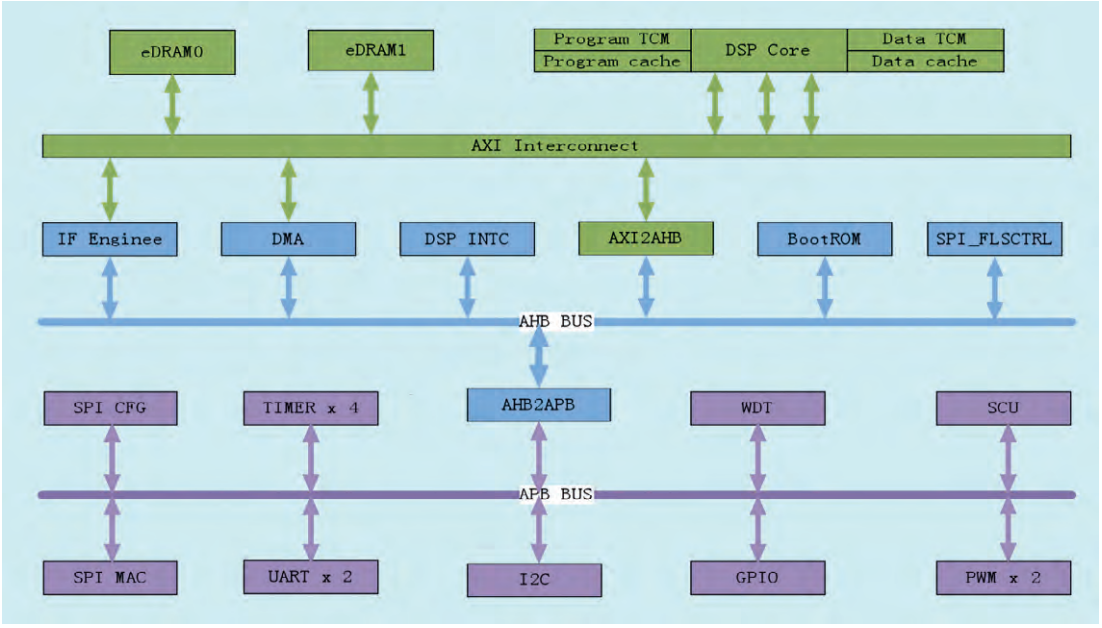

图1　芯片整体结构

是系统控制单元，主要用来做时钟、复位及功耗控制的。2个PWM一个用来驱动射频板上的VCXO前置的低通滤波电路，调整晶振频偏，另一个可用来驱动LED指示灯。

为了简化时钟设计，芯片采用单一PLL时钟方式，PLL时钟源来自射频RF板上的晶振，经PLL倍频后产生一个高频时钟，再经芯片内的数字分频后产生不同频率的时钟给芯片的各级总线、各个模块。整个芯片基本上是全同步设计，不同模块的时钟是同步的，但频率应相同也可以是倍数关系，这样大大简化了芯片的前后端设计。

关键技术

芯片使用分布在223~235 MHz之间，分配给电网专用的40个离散的25K频点中的任意5个频点。230 MHz低频段拥有天然的覆盖优势，能够大大地降低组网和覆盖成本，以满足电力用户分散的需求。芯片将公网LTE技术应用到电网专有频带上，在前端增加了中频到基带的处理单元解决了频带离散带来的系统挑战，沿用了TD－LTE中先进的下行OFDM，上行SC－FDMA技术，以及Turbo信道解码和QAM64高阶调制，能够在单频点中提供上行43.99 Kbit／s，下行17.78 Kbit／s的传输速率。芯片片内集成了高性能DSP、大容量eDRAM存储器、用于载波聚合的中频模块，通过软件无线电技术，可为智能电网中的配电自动化、负荷控制及用电信息采集等电力业务提供低成本、低功耗和灵活可靠的无线通信解决方案。

1．高性能DSP

芯片针对的是一种低成本、低功耗终端方案，支持230 MHz频段中的5个频点，经详细评估、反复论证，采用单处理器方案即可，这跟业界普遍的DSP+CPU双核架构基带芯片相比，一方面节约了CPU核许可费用，同时也减小了芯片面积，降低了软件的开发复杂度。

芯片内嵌高性能DSP核，最高时钟频率可达到409.6 MHz。DSP采用哈佛结构，同时支持4个乘加操作；DSP采用了超长指令字VLIW和可变指令宽度的架构，结合单指令流多数据SIMD操作，在获得较高的代码密度的同时，可以取得很高的指令执行并行度，从而大大提高了运算性能。此外DSP内嵌128 KB的P/D TCM和32 KB的P/D Cache，TCM/Cache和DSP核运行在同一时钟频率上，访问延迟很小，在软件设计时可把对性能及延迟要求很高的代码和数据可以放在TCM中，其他的性能及延迟相对要求低的可放在片内的二级存储器中，通过Cache去平滑读写访问延迟,使系统整体性能达到最优。

DSP核除提供数据缓存DCache外，最大的特点是它内嵌功耗管理模块PSU(Power Scaling

Unit)，支持多种功耗管理模式，包括Free Running Mode、Dynamic Power Save Mode、Light Sleep Mode、Stand By Mode、Deep Sleep Mode和Shut-Down Mode。通过软件指令和外部中断等手段，DSP能根据应用场景需求在以上状态之间进行切换，达到动态地开、关DSP内部相关模块的时钟及电源，结合芯片中的各模块的动态和静态的时钟门控技术，从而能很好地控制芯片的动态功耗和静态功耗。

2．大容量eDRAM存储器

5个频点的LTE230物理层及高层的软件代码及数据所需的空间在2 MB左右，经评估，决定采用内置高密度的嵌入式存储器eDRAM的方式，而非外置DDR的存储方式。外置DDR模式需在PCB板上外接DDR颗粒，DDR IO功耗较大，同时BOM成本较高；采用内嵌eDRAM存储方式，一方面克服了外置DDR的上述问题，同时内嵌eDRAM接口时序较简单，读写访问延迟很小，和普通的片内SRAM类似，无需复杂的eDRAM控制器，且面积只有普通SRAM的1/3，故在性能、功耗和成本上都有很好的兼顾。

在芯片设计时，考虑系统内存带宽的需求，采用两组片内eDRAM的方式，每组容量为1 MB，芯片内的主设备如DSP的指令和数据分别放在不同的eDRAM内，则DSP可同时取指令和数据，大大缩短了内存访问延迟，提高了系统的性能。此外eDRAM提供了正常读写、Standby、Self Refresh和power down多种功耗模式，系统可根据实际运行场景来切换eDRAM的工作模式。

3．载波聚合的中频模块

230 MHz频段系统资源呈无规则、梳状结构，频点分布离散。在230 MHz频谱规划中，无线信道分配的带宽通常比较窄，而且相邻信道之间还要保留一定的间隔。载波聚合技术可以将每个离散的信道看作一个成员载波，将不连续分配的成员载波进行聚合，并统一分配给一个用户使用，这样可以产生大于原来窄带系统几倍的传输带宽，达到宽带传输的效果，从而可以提高系统的可靠性、减小传输延迟，适应电力通信多样性业务传输的需要。

芯片的中频模块接收来自前端射频芯片出来的数据，由于频谱的不连续性，中频模块将会进行两级混频、下采样及滤波操作，从射频接收的数据中抽取出对应频点的数据，经中频内置的DMA模块经总线送到eDRAM中，同时发送中断通知DSP来做进一步处理。上行链路和上述的下行链路相似，但是一个相反的过程。同时中频模块采用乘法器时分复用的高阶数字滤波器，可对带外的干扰信号进行很好的抑制，以很小电路面积来保证系统的性能。由于芯片支持的TDD模式，收发不会同时进行，故中频模块可在自身收发时序控制下采用数据流驱动的时钟门控技术，动态地开关上下行数据链路的时钟，以达到减少功耗的目的。

4．软件无线电技术

和公网LTE一样，LTE230基带处理也可分为3层：物理层（Physical Layer）、媒体访问控制层(Medium Access Control)和无线资源控制层(Radio Resource Control)其中物理层包括上下行两个数据链路，每个数据链路主要包括3部分：比特级处理、频域处理和时域处理。芯片中除物理层时域处理部分是用中频模块来实现的，其余的物理层频域处理、比特级处理、上层媒体访问控制、无线资源控制以前及端射频收发配置都是用DSP软件来实现的。通过对中频以后进行全数字化的DSP处理的这种软件无线电技术，芯片可用软件的方式方便地完成系统频带调整、信道监测与自适应选择、信道估计与均衡、调制解调方式控制及加密处理等；同时无线承载业务的扩展和芯片的工作模式都可以通过软件编程来改变；此外可方便地对工作频点进行灵活配置，满足不同地区工作频点的差异性需求。因此，可通过芯片提供的远程在线升级功能来实现软件版本的更新，从而达到系统的升级换代，使系统的开发周期和费用大为降低，同时也大大增强了系统的灵活性。

结束语

芯片经历前期规格及架构的详细评估和论证，中期前端设计中详细的仿真验证及FPGA验证，后期后端设计中版图反复检查及时序分析，芯片最终在65 nm低功耗工艺下成功流片，样品验证和初步的应用系统验证表明，芯片的各项功能和性能均达到预定的指标。特别地，针对电力工业级产品的可靠性要求，芯片在后端设计过程中，采用了定制化的IO单元，并充分考虑了电源和地的布线，使芯片的ESD HBM能达到±4 kV。EA

（收稿日期：2014.11.17）
（编辑：杨得润）