[控制系统]

1－Wire总线控制器的设计及FPGA验证

文/西子奥的斯电梯有限公司　王　恒

通过Quartμs II软件设计了单总线控制器，并详细介绍了从机主模块、从机初始化模块、从机接收数据模块、从机接受主机命令模块和从机匹配ROM等模块。各个模块均采用状态机的思想，并使用多个Always块避免信号毛刺，在各数据发送接收过程中均用一个脉冲信号表示开始或结束，方便与其他模块协作。

单总线的基本介绍

1－Wire总线是一个简单的信号传输电路，可通过一根共用的数据线实现主控制器与一个或一个以上从器件之间的半双工双向通信。电源和数据通信通过单根数据线传输，使得1－Wire器件具有无与伦比的强大功能，可减少系统间的互联。它采用一种特殊的接口协议，通过单条连接线解决了控制、通信和供电，具备电子标识、传感器、控制和存储等多种功能器件。

1．概述

1－Wire单总线是Maxim全资子公司Dallas的一项专有技术，与目前多数标准串行数据通信方式如SPI/I2C/MICROWIRE不同，它采用单根信号线，既传输时钟，又传输数据，而且数据传输是双向的。它具有节省I/O口线、资源结构简单、成本低廉、便于总线扩展和维护等诸多优点。

1－Wire单总线适用于单个主机系统，能够控制一个或多个从机设备。当只有一个从机位于总线上时，系统可按照单节点系统操；而当多个从机位于总线上时，系统则按照多节点系统操作。

2．硬件结构

顾名思义，单总线只有一根数据线。设备（主机或从机）通过一个漏极开路或三态端口，连接至该数据线，这样允许设备在不发送数据时释放数据总线，以便总线被其他设备所使用。单总线端口为漏极开路，其内部等效电路如图1所示。

单总线要求外接一个约4.7 kΩ 的上拉电阻，这样，单总线的闲置状态为高电平。不管什么原因，如果传输过程需要暂时挂起，且要求传输过程还能够继续的话，则总线必须处于空闲状态。位传输之间的恢复时间没有限制，只要总线在恢复期间处于空闲状态（高电平）。如果总线保持低电平超过480 s，总线上的所有器件将复位。另外在寄生方式供电时，为了保证单总线器件在某些工作状态下（如温度转换期间、EEPROM写入等）具有足够的电源电流，必须在总线上提供强上拉（如图1所示的MOSFET）。

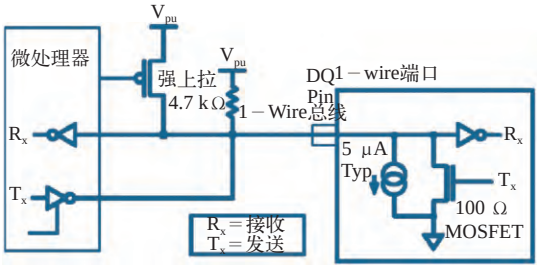

图1　强上拉示例

3．命令序列

典型的单总线命令序列为：第一步初始化；第二步ROM命令（跟随需要交换的数据）；第三步功能命令（跟随需要交换的数据）。

每次访问单总线器件，必须严格遵守这个命令序列，如果出现序列混乱，则单总线器件不会响应主机。但是这个准则对于搜索ROM命令和报警搜索命令例外，在执行两者中任何一条命令之后主机不能执行其后的功能命令必须返回至第一步。

4．信号方式

所有的单总线器件要求采用严格的通信协议，以保证数据的完整性。该协议定义了几种信号类型：复位脉冲、应答脉冲、写0、 写1、 读0和读1。 所有这些信号除了应答脉冲以外都由主机发出同步信号，并且发送所有的命令和数据都是字节的低位在前，这一点与多数串行通信格式不同（多数为字节的高位在前）。

课程设计整体介绍

1．题目要求理解

单总线协议是一个主机和从机之间通信的协议，这个题目主要是指从机对信号的接收和发送。要实现这个控制器，就不能仅仅只通过一个从机实现，而是要做一个主机和一个甚至几个从机之间通信来实现，从中体现出对单总线信号的控制和处理，另外有主机的存在还可以对从机的各个功能进行测试和检验，因此做了一个主机和一个从机进行通信，实现了很多功能。

2．系统设计

我们实现了一个主机和从机进行通信，二者只有单总线连接，符合题目要求。

3．系统功能

能实现主机和从机间通信的很多功能，主要包括系统初始化、主机给从机发功能命令及ROM匹配等。底层具体的功能包括：主机给从机发数据0/1；从机给主机发数据0/1；主机给从机发送连续8位的命令数据；主机给从机发送连续64位的ROM；从机分别接收8位数据和64位数据，并进行响应。

主要模块介绍

该系统中共包含10余个模块，主要为分频模块、系统模块、主机模块和从机模块四个大类。本人负责的部分都在从机模块中，包括从机整体模块、从机初始化模块、从机接收数据模块、从机接收命令模块和从机匹配ROM模块。下面将对这一部分进行详细介绍，对其他部分只做简要介绍。

1．从机整体模块

（1）要求

对从机的各个功能模块进行规划和调用。

（2）实现过程

模块实现框图如图2所示。

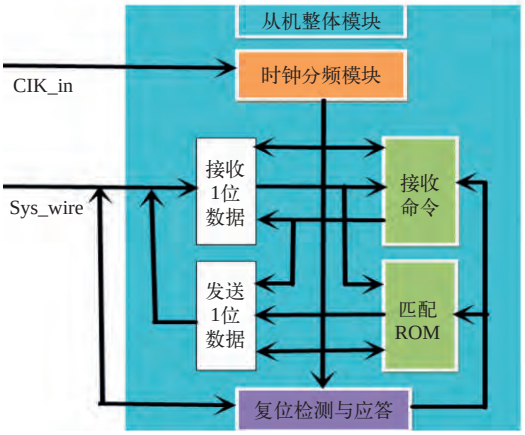

图2　模块实现框图

2．从机初始化模块

（1）要求

根据单总线复位过程，首先识别出480 μs的复位信号，等待15～60 μs后进行复位应答，拉低总线60～240 μs。

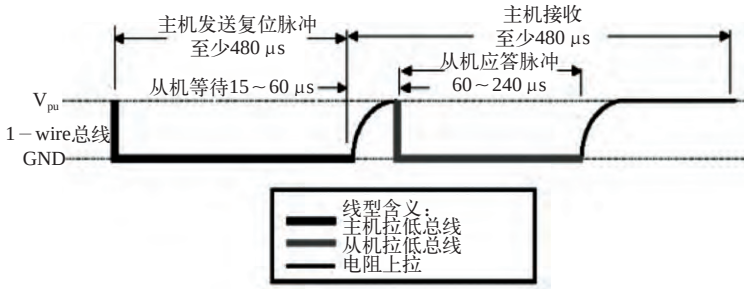

图3　要求

（2）实现过程

1）使用1hot编码的状态机。用到的4个状态如下所示。

SLV_INIT_IDLE：初始化空闲状态。

SLV_INIT_CHECK：初始化检测状态。

SLV_INIT_WAIT：初始化从机等待。

SLV_INIT_RESP：初始化从机应答。

状态转移图如图4所示。

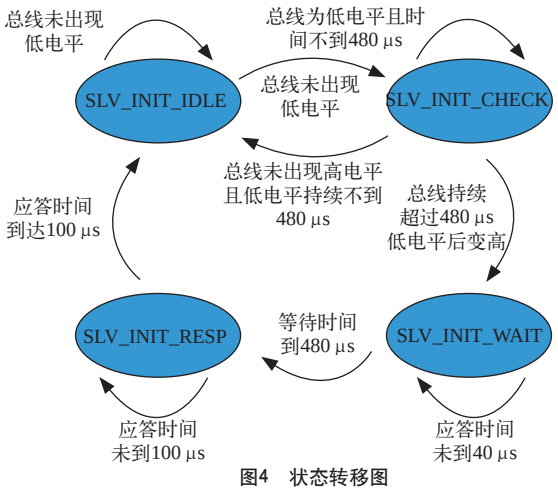

图4　状态转移图

2）各状态计时实现。由于使用了1hot编码，状态中每一位对应一个状态，设置4个wire型变量，分别与状态的每一位连接，同一时间只有一个是1其余都是0，因此对每个状态进行计时是比较方便的。

在每个时钟上升沿检测状态中的某一位，然后决定时间是不是该增加。

3）对应不同状态对总线进行操作。具体而言，SLV_INIT_RESP状态下即应答状态下将总线拉低，其余时间均释放总线。

4）应答过程结束后初始化完成，输出初始化结束脉冲。具体而言，在由状态SLV_INIT_RESP到SLV_INIT_IDLE变化后，将初始化结束信号拉高一个时钟周期。

（3）波形仿真及分析

1）波形描述。该波形是主机和从机配合完成，给出复位信号后，主机就开始拉低总线进行初始化，然后从机进行检测和相应，最后输出初始化完成脉冲

2）波形具体注释。如图5所示。

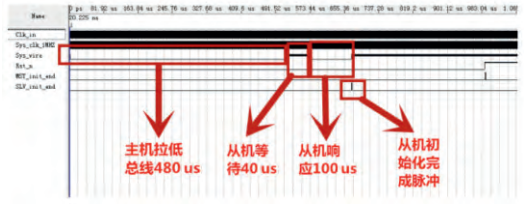

图5　波形具体注释

3）波形分析。初始化信号发出后，主机先拉低总线480 μs，从机进入SLV_INIT_CHECK状态，当总线拉低480 μs后释放，从机进入SLV_INIT_WAIT状态，等待40 μs，再进入SLV_INIT_RESP状态，将总线拉低100 μs作为应答，应答完成后从机初始化完成，发出完成脉冲，并进入SLV_INIT_IDLE状态

3．从机接收1位数据模块

（1）要求

根据单总线从机接收数据过程，从机要识别出主机拉低总线准备发送数据这一信号，然后再根据总线状态来确认数据是0还是1。

（2）实现过程

1）使用1hot编码的状态机。用到的4个状态如下所示。

SLV_Rev_IDLE：接收空闲状态。

SLV_Rev_BGN：接收开始状态。

SLV_Rev_BIT：接收采样状态。

SLV_Rev_END：接收完成状态。

状态转移图如图6所示。

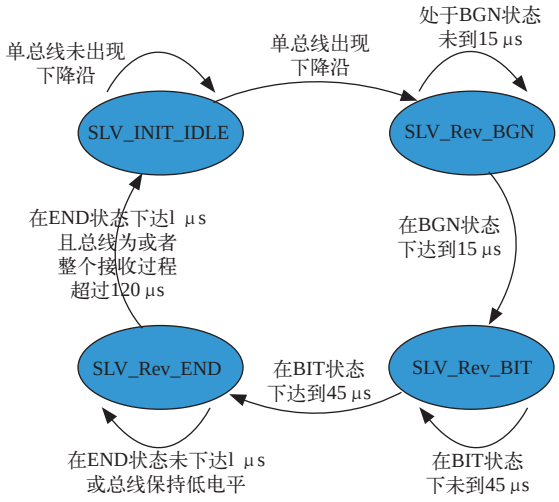

图6　状态转移图

2）各状态计时实现。由于使用了1hot编码，状态中每一位对应一个状态，设置4个wire型变量，分别与状态的每一位连接，同一时间只有一个是1其余都是0，因此对每个状态进行计时是比较方便的。

在每个时钟上升沿检测状态中的某一位，然后决定时间是不是该增加。

3）数据采样和接收实现。由于主机写0和写1的过程都是在拉低总线一段时间以后（15 μs以内），把数据发到总线上，并保持45 μs，因此为了确保数据有效性，在这45 μs中间的一个时刻进行采样，又因为整个接收过程不能超过120 μs，所以当整个接收过程在120 μs内结束时才能认为这一次的数据有效，才能认为采样到的数据有效。

因此设计的采样过程是：在SLV_Rev_BIT状态下的第30μs进行采样，采样结果放在一个缓冲寄存器，当接收过程有效地结束后，再把缓冲寄存器的数值赋给结果寄存器。

4）有效结束后发送接收结束脉冲。

（3）波形仿真及分析

1）波形描述。主机分别发送0和1，设置主机发送开始信号和从机接收信号，可以看到在接收过程结束后，从机会发出接收结束脉冲，同时把总线上的数据存进数据接收寄存器。

2）波形具体注释。接收数据0和数据1的情况分别如图7、图8所示。

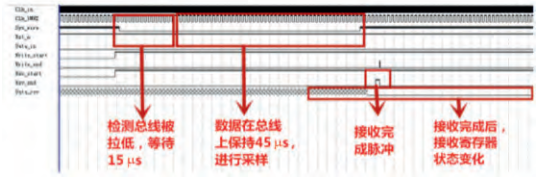

图7　接收数据0

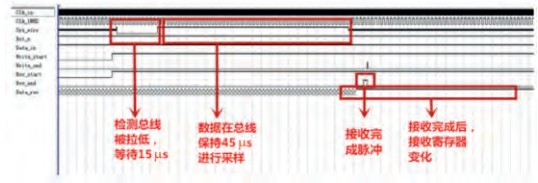

图8　接收数据1

3）波形分析。检测到总线的下降沿后，进入SLV_Rev_BGN状态，因为主机会控制总线在15μs内，把要传送的数据发到总线上（具体时间不确定），因此等待15μs再进入SLV_Rev_BIT状态，在这个状态内把总线的状态记录下来，状态持续45μs后进入SLV_Rev_END状态，如果总线为高则正常结束，把数据放进接收寄存器，并发出结束脉冲。

4．接收命令模块

（1）要求

为了实现从机接收主机的命令，必须要实现一次性接收8位数据。

（2）实现过程

1）使用1hot编码的状态机。用到的2个状态分别如下所示。

Rev_IDLE：接收空闲状态。

Rev_BIT：接收状态。

状态转换图如图9所示。

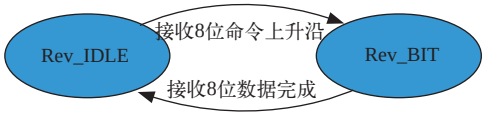

图9　状态转换图

2）接收控制过程。在每次接收一位数据结束脉冲后，将接收的数据放在结果寄存器的相应位里（最先接收到的放在低位）。接收刚开始以及每次接收一位数据结束脉冲后，给从机接收1位数据模块发送开始信号。

3）8位接收完成后设置结束脉冲。

（3）仿真结果分析

1）波形描述。设置主机发送命令8’hCC，即8’b11001100，每接到一位，从机数据寄存器中相应位会存入该位数据，8位接收完后，从机会发出接收结束脉冲

2）波形具体注释。如图10所示。

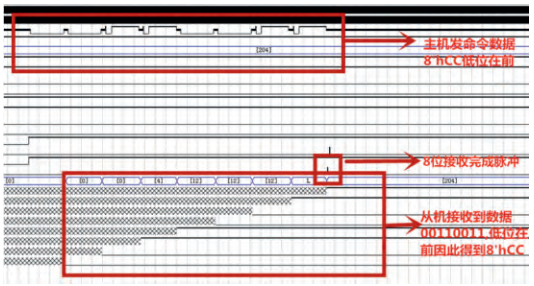

图10　波形具体注释

3）波形分析。接收8位信号有效后，模块开始工作接收数据，在刚开始和接收到某一位数据后都会设置接收1位开始信号。

在接受1位数据结束时，数据计数会加1，同时把接收到的数据从低位开始存放，一直存放到最高位，全部收后，发送8位接收完成脉冲。

5．匹配ROM模块

（1）要求

为匹配ROM，需要接收主机发来的64位ROM和从机自己的ROM号进行匹配。

（2）实现过程

1）使用1hot编码的状态机。用到的2个状态分别如下所示。

Rev_IDLE：接收空闲状态。

Rev_BIT：接收状态。

状态转换图如图11所示。

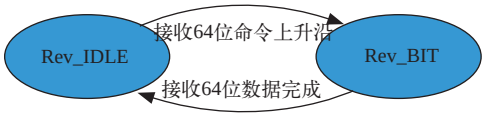

图11　状态转换图

2）接收控制过程。在每次接收一位数据结束脉冲后，将接收的数据放在结果寄存器的相应位里（最先接收到的放在低位）。接收刚开始以及每次接收一位数据结束脉冲后，给从机接收1位数

据模块发送开始信号。

3）64位接收完成后设置结束脉冲。

（3）仿真结果分析

由于接收64位数据模块和接收8位数据模块原理基本相同，波形也基本相同（只有数据位数差别），在此就不再仿真了，可以参考8位数据仿真结果。

6．其他模块大致介绍

由于以下部分是由队友负责，所以只做大致介绍。

（1）单总线控制器顶层模块

主要调度主机和从机模块，用单总线连接。

（2）时钟分频模块

将50 MHz的输入时钟信号分频为1 MHz供各个模块使用。

（3）主机整体控制模块

主要调度主机初始化、读、写、发送命令，发送ROM，匹配ROM等模块。

（4）主机初始化

进行初始化，并从总线上得到从机的初始化响应。

（5）主机写模块

对总线操作，给从机发送数据。

（6）主机读模块

从总线上获得从机发给主机的数据。

（7）主机发送命令模块

给主机写模块发送写命令，把8位命令字发送。

（8）主机发送ROM模块

给主机写模块发送写命令，把64位ROM发送。

（9）从机命令控制模块

根据主机给从机发送的命令，进行从机各个模块的调度。

结束语

IC设计主要是数字电路设计。跟普通的计算机程序设计不同，数字电路设计建立在纯硬件、纯逻辑的基础上，所以要考虑的东西更多。要求对数字电路工作机制有比较深刻的了解，特别是各个模块之间的协调方式、信号传递等。

进行数字电路设计，要认真规划模块工作的状态，状态设置尽可能简单。EA

（收稿日期：2016.03.14）

（编辑：杨得润）

（上接第101页）

效益效率、核心业务和扣分项三部分专题看板。每块看板展示一级指标概况，可逐层展开相关的二级指标明细及分析图表。通过逐级展开并对每个指标开展监测分析，不仅能及时监测绩效考核指标的异动和偏差，同时可通过穿透查询定位问题，并协调解决，进而提升企业管理绩效。运营动态监测场景通过在线采集业务数据，全面监测公司核心资源状况、主营业务活动，全天候即时掌控公司关键领域运营动态，提前识别风险和潜在问题，帮助公司提升管理精益程度与响应速度。计划预算监测中的计划与预算管理是对计划项目储备、计划预算编制、审批、下达、执行、检查、调整及考核（考评）等全过程管理，是公司战略目标及发展规划顺利实施的重要保障，是促进公司从多头管理向集团化运作转变、从资源分散向集约配置转变的重要抓手。

结束语

综上所述，通过电网可视化系统的构建及可视化技术的应用，很好地实现了对电网大数据的智能化处理及全景形象直观展示，强化了数据共享、交互及价值体现，做到了对企业生产运营的全面在线监测，及时预警，便于企业领导层、管理层战略及管理决策，以有效提升企业生产运营效益效率。同时电网规模的不断发展，要求工作人员对电网的相关管理更加科学化、智能化以及精细化，可视化技术是一种必然发展的方向。EA

（收稿日期：2016.03.01）

（编辑：杨得润）