

[电力系统]

基于ARM+DSP+FPGA的黑启动监控装置研究

文/东南大学电气工程学院 田鲁琦 杨洪翔 史文博 李俊杰 张超明

针对电力系统故障时应用风电场参与黑启动(black start)恢复系统供电过程的要求, 开发具有通用性的多适应性黑启动装置。装置采用ARM+FPGA+DSP结构, 以达到实时性、可靠性和精确性的要求。在装置内部, 不同功能模块互相配合, 实现维持黑启动过程中电力系统稳定性的功能。着重描述自动化装置的硬件设计和装置的仿真验证。硬件设计涉及主控模块、FPGA模块和DSP模块, 并且每个模块分别有对应的接口电路。仿真验证包含各个独立模块的运行测试以及装置各功能模块间的通信测试。该装置结合了各个器件的优点, 相比以往电力系统控制装置体积更小, 运算能力强、处理速度快, 而且结构灵活、应用范围广。

近年来, 为了解决大规模停电问题, 对于电网黑启动的研究已成为国内外专家学者们的研究热点。而随着风电场装机容量的增加、风电场并网技术的成熟以及相关研究的深入, 风电场作为黑启动电源也越来越成为可能。但由于风电场出力的波动性, 导致其给予电网频率和电压有效支撑有一定难度, 因而要真正实现风电场作为黑启动电源就更困难、更复杂, 需要一台性能更优越的装置来对整个黑启动过程进行监测与调度。

黑启动过程中, 需要对风电场出力是否能满足其作为黑启动电源条件进行预估, 黑启动过程中重要节点电压频率和幅值的波动是否超出稳定范围进行监测, 进行大规模且高频率的潮流计算, 对各个电源出力要进行调度, 成百上千个断路器需要进行跳合闸操作。因此, 该过程需要处理大量数据, 同时处理多项事务, 以及人为根据实时数据进行多种操作, 对于装置的精确性、运算能力、处理速度和人机交互性能都有较高要求。要实现这些要求, 将现今的嵌入式处理器结合使用是最优方案。现有电力系统自动化装置虽然也应用了嵌入式系统, 但多

为DSP+FPGA架构或ARM+FPGA架构, 大多只兼顾了其中一面。因此, 本文介绍了这样一台用于监测黑启动过程的装置, 综合现有处理器的优缺点, 采用ARM+DSP+FPGA架构, 力求在现有电力系统自动化装置的基础上, 针对风电场作为黑启动电源技术上的需要, 给出性能更优异的装置。由于篇幅有限, 本文主要介绍三种处理器的通信接口设计, 而对于外设接口不予赘述。事实上, ARM、DSP和FPGA三者之间的通信也是这样一台装置的难点所在。

基于ARM+DSP+FPGA装置硬件设计

1. 系统硬件总体结构

考虑到黑启动过程技术需要和各处理器特点之后, 黑启动装置主要采用ARM+DSP+FPGA的结构。ARM具有比较强的事务管理功能, 其优势主要体现在控制方面, 能够实现多任务操作, 满足黑启动过程中人机交互操作简便和处理复杂多任务的需要; DSP的优势在于数据处理能力强、运算速度快、能实时完成复杂计算, 能够大大节省

黑启动过程中的运算时间并提高运算精度；FPGA可以用VHDL来编程，其最大特点就是它的内部逻辑的在线可重构性，并且FPGA有功耗低，可以与CMOS、TTL电平兼容，设计周期短，开发费用低，风险小并行计算，运算速度快，方便修改的特点，作为硬件加速，进一步提高装置运行速率，同时可根据控制需要动态调整自身硬件电路，增强装置的灵活性与通用性。三者结合使用，就可以获得高性能的装置，更加灵活方便、安全可靠地控制电力系统运行。

将具有Linux内核的ARM作为系统的主控芯片，用于界面管理以及主程序的运行与调度；DSP和FPGA作为从处理器，负责快速的数据处理、通

信接口的扩展、硬件加速、信号的开入开出。主控模块ARM选用三星Exynos 4412，该处理器采用了三星最新的32nm HKMG工艺，功耗低，发热小。DSP模块的核心板选用TI公司的TMS320F2812，该芯片主频高达150MHz，具有丰富的外设，多用于实时性强的场合。

整个装置在约定好的协议下协同工作，装置可以通过SCADA系统或SV网读取电网数据，最后给出某些断路器、隔离开关的控制信息，从而可以实现黑启动过程中，由实时的电网数据可以计算出断路器和隔离开关合理的状态，来维持电网的稳定和恢复供电。

整个系统硬件电路结构设计如图1所示。

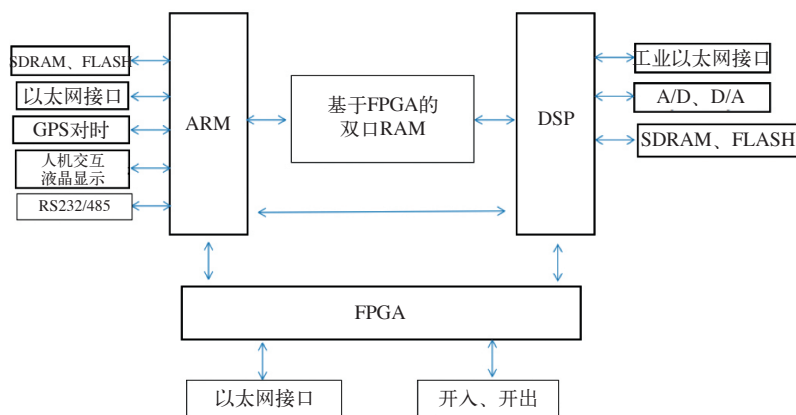


图1 系统硬件电路结构

2. 接口电路设计

(1) DSP与FPGA通信

DSP与FPGA之间的通信采用FIFO并行通信的方案。EMIF是TMS320F2812片内单元和外部存储

器间的接口，CPU访问片外存储器必须通过EMIF。FPGA在写时钟的控制下将数据写入FIFO再与DSP进行握手后，DSP通过EMIFA接口将数据读入。图2为EMIF和双口RAM的写时序图。

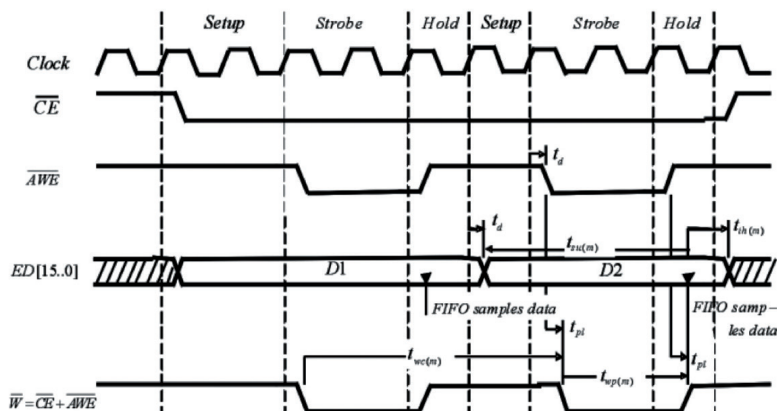


图2 EMIF和双口RAM的写时序图

ED [15:0]是用于传输的数据，AWE为数据写时钟信号，CE为片选信号，Clock是系统主时钟基准。由图2可知，数据的写入是低电平触发的，触

发信号W满足以下条件

$$\overline{W} = \overline{CE} + \overline{AWE}$$

由上式可知CE根据 DSP内指令和数据存储器的使用情况选择写数据或不写数据,当 CE为高电平时,无论写时钟信号AWE的状态,W始终为高,此时数据无法写入,处于禁止状态;当CE为低电平时,写入数据由AWE决定,AWE也为低电平时数据写入。考虑到写入数据需要建立(Setup)、写入(Strobe)和保持(Hold)三个步骤,单个数据所占时长设计为4个主时钟周期,第1个时钟周期设为建立时间,AWE从第2个时钟周期开始置低并保持2个周期长度,此时已有充分的时间做好数据写入准备,AWE的两次写入低电平之间须保证一个时钟周期以上的时间用于数据保持,双口RAM就在这个时刻进行数据采样,完成数据的传输。在本设计中,通过对DEVCFG控制寄存器的EKSRC位置1,使得C6701 DSP ECLKOUT运行在 ECLKIN时钟下。

这种方法,经验证,具有传输速度快、稳定可靠、实现方便的优点。硬件连接见图3。

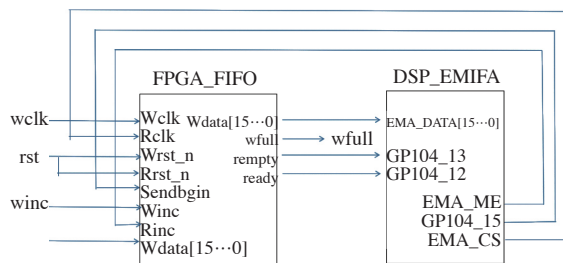


图3 FPGA与DSP通信的硬件连接

(2) ARM与FPGA通信

在电力系统中,对数据采集的时效性具有很高的要求,所以为了提高系统实时性效果,用FPGA专门来进行高速度的实时数据采集。这比单纯使用ARM的方案或者带有Nios核的FPGA均提高了实时性。

这里,将FPGA作为ARM的一个外设连接在系统中。这样ARM处理器可以通过存储器指令访问FPGA,进行测量控制和数据传输。为了实现ARM和DSP之间的数据交互,关键的一步是写Linux的设备驱动程序实现ARM和双口RAM之间的通信。设备驱动程序是操作系统内核和机器硬件之间的接口,要实现应用程序对硬件的操作须依赖于设备驱动程序中定义的通信接口(open、read、write、release等)。需定义并编写特定的数据结构和file_operations的各个域:该数据结构中每一个成员都对应一个指定功能的实现,进程在对设备文件进行open/read/write/release等操作时,系统找到对应

的设备驱动程序,然后读取对应这个数据结构的函数指针。硬件连接见图4。

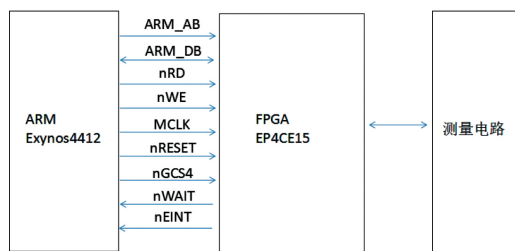


图4 ARM与FPGA通信的硬件连接

(3) DSP与ARM通信

ARM与DSP之间的通信一般有FIFO、双口RAM、串行SPI接口及利用DSP的HPI接口等几种方法。为了使硬件装置平台具有多适应性,这里采用一种更加灵活的设计方法:用一片容量的FPGA作为ARM与DSP之间联系的桥梁,将ARM和DSP的数据总线及部分地址总线均引入FPGA,利用FPGA构造双口RAM,进行DSP与ARM的通信。具体做法是,利用FPGA可灵活编程的特点,配置内部相关寄存器作为双口RAM区域,同时将ARM和DSP各相关控制逻辑及部分中断控制逻辑等也都引入FPGA内。这种设计带来的好处是:FPGA可以有更加灵活的配置,装置通用性更好。另外,FPGA连接在DSP的EMIF接口,在不同的控制情境下,通过对FPGA进行编程重构,可以使FPGA充当协处理器、高速数据处理器或高速数据传输接口。

双口RAM是一个具有两个读写端口的存储器,两个端口具有完全独立的数据总线、地址总线和控制总线,并允许两个端口同时对存储器进行访问,其最大的特点是对数据的存储共享。在FPGA中,通过Verilog HDL语言对双口RAM功能的描述就能在一片FPGA器件内实现8 bit 16 B的双口RAM,并进行读写操作控制。图5为双口RAM的Verilog HDL代码在FPGA中综合后的寄存器传输级电路图。

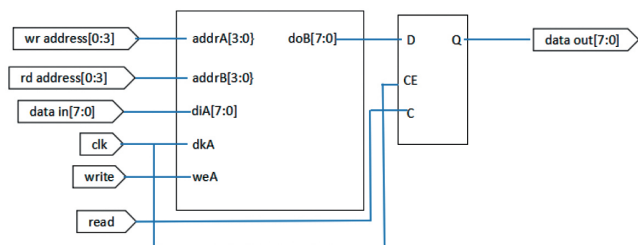


图5 寄存器传输级电路

在某种意义上,双口RAM是作为ARM的IO内存存在,通过地址线、数据线、读写信号线相连接,如图6所示。ARM和DSP之间的数据交互采用中断模式:当

ARM写入数据时,会触发右侧中断;DSP写入数据时,触发左侧中断。其中DSP和FPGA的通信仍通过DSP的EMIF接口和FPGA的双口RAM连接,在此不再赘述。

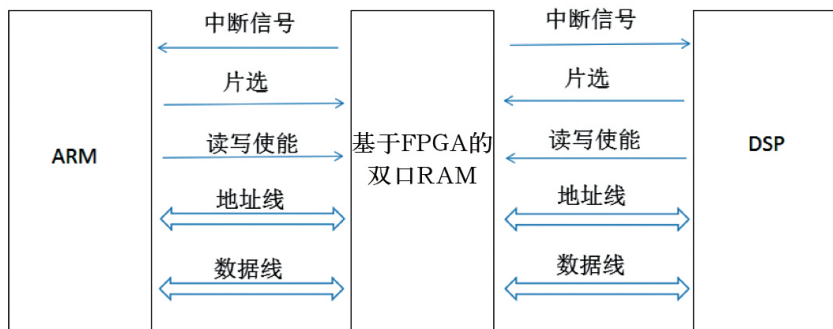


图6 ARM与DSP通过双口RAM通信的硬件连接

系统实现

成功搭建了以ARM+DSP+FPGA为平台的装置。首先对各个模块进行分别测试:在ARM端处理器加载Linux系统,对其外设和接口进行测试,硬件工作正常;下载代码到FPGA进行跑马灯测试,可以正常工作;在CCS开发环境下下载DSP代码,DSP可以成功连接仿真器,进行跑马灯测试确认其工作正常。

接下来对ARM、DSP和FPGA的通信进行测试。首先对在FPGA内构造双口RAM的原理图进行功能仿真,仿真结果如图7所示,满足设计要求。将该代码下载到FPGA内,并在DSP端下载了数据和相关代码,向ARM发送中断请求,经测试ARM可以对DSP发送来的中断请求进行响应并获取其数据。说明ARM与DSP通信成功。

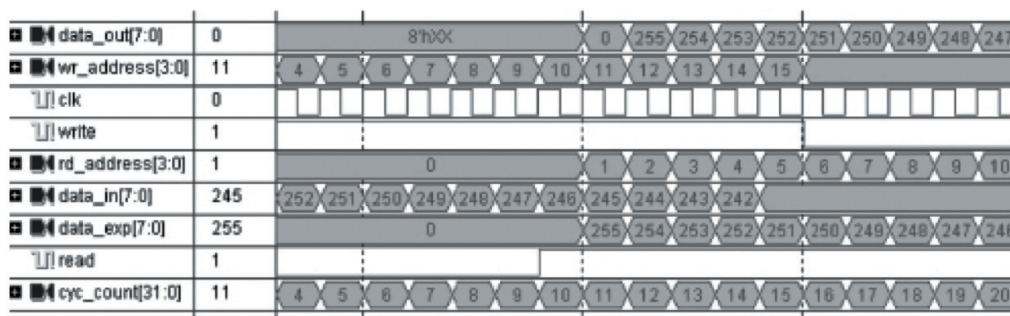


图7 双口RAM时序图

再对装置中FPGA和DSP的通信进行测试。为验证两者之间通信的正确性,用Xilinx公司的ISE软件的仿真功能获取FPGA端的数据,DSP端的数据则通过DSP的开发环境CCS的功能显示出来。从而可以清晰直观地获取仿真结果。

通过判断写入和读出数据的一致性,可以说明平台电路搭接和装置通信的正确性。TMS320C2812 DSP EMIF接口与FPGA内部双口RAM可以正常通信,对于DSP发送的信号,FPGA可以正确接收,FPGA发出的信号,DSP也能正确的接收,读写数据没有错误,并能稳定地以正常速率在二者之间进行通信。

结束语

本装置基于ARM+DSP+FPGA架构,具有操作方便、实时性强、精确度高等优点,能够满足黑启动过程中检测与控制电力系统状态的需求。同时本装置采用模块化设计,可重构性强,通用性高,尤其是利用FPGA构造双口RAM实现DSP与ARM的通信设计部分,可以根据不同的用途配置不同的硬件结构,大大增强了整体设计的灵活性和通用性。综合来说,该装置是一台既满足设计需求,又有一定通用性的平台。EA

(收稿日期:2016.10.24)

(编辑:朱金凤)