

[轨道交通]

基于DTECS平台列车中央控制模块以太网架构的优化研究

文/中车株洲电力机车有限公司 刘震威 刘 博

针对DTECS平台中的列车中央控制模块（以下简称VCM_e）在广州地铁某线列车上发生以太网广播风暴导致模块停止工作的问题进行研究，并提出了一种基于该平台模块以太网架构的优化设计，从而避免广播风暴导致模块CPU停止工作的问题。

广州地铁某线多列车发生了数次列车网络控制系统（以下简称TCMS）闪报各个子设备通信故障的现象，闪报故障的持续时间分为几分钟到几个小时不等，此类故障可以自动恢复。

经过简单排查，排除了TCMS系统多功能车辆总线（以下简称MVB）网络的线路故障，也排除了热备冗余的2个VCM_e设备冗余切换导致的异常。通过分析与故障复现，该问题原因确认为：乘客信息显示系统（以下简称PIDS）主机与VCM_e模块以太网数据传输所产生的广播

风暴，导致VCM_e模块CPU负荷达到100%，进而VCM_e模块上的操作系统VxWorks及程序停止运行。

列车网络与设备以太网架构介绍

1. 以太网网络拓扑

地铁列车包括多套网络用于实现不同的功能，如MVB网络用于实现TCMS的信息交换，本文仅介绍PIDS的网络拓扑。

从图1可知，PIDS网络由客室交换机组成全

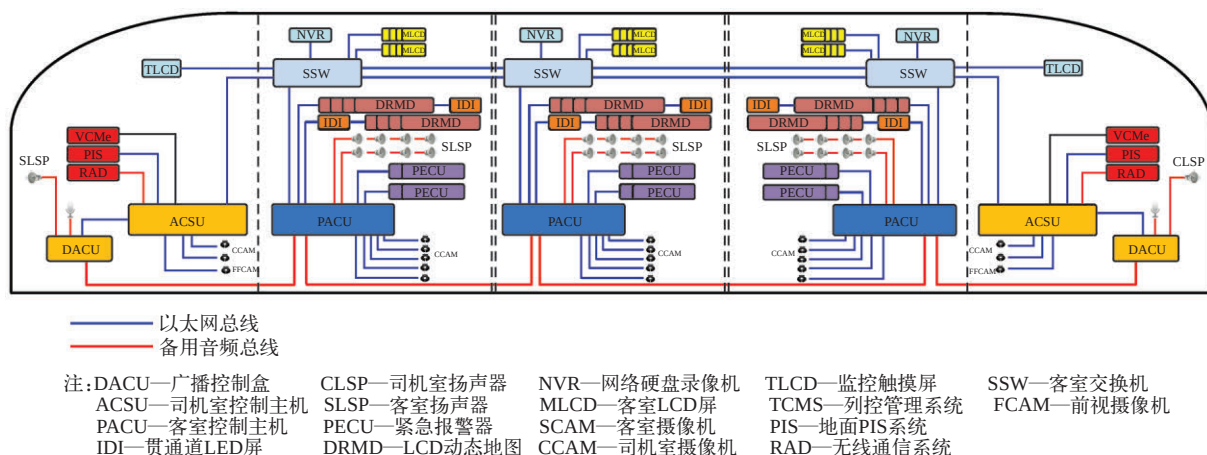
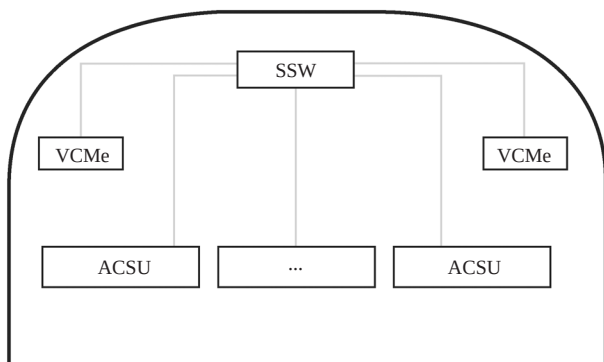


图1 PIDS网络拓扑

列车骨干网，每节车的司机室控制主机（以下简称ACSU）和客室控制主机（以下简称PACU）等设备接入各自节车的交换机，而TCMS网络的VCMe设备虽然直接与ACSU进行连接，并未接入交换机中，但是由于ACSU未采用网关进行隔离，VCMe仍接入了整个PIDS的网络中，简化后的拓扑图如图2所示。



——以太网总线

注：ACSU—司机室控制主机 PACU—客室控制主机
SSW—客室交换机 VCMe—列车中央控制模块

图2 PIDS网络简化拓扑

2. VCMe的以太网架构

基于图2的网络拓扑，本节详细分析VCMe设备的硬件拓扑，如图3所示。

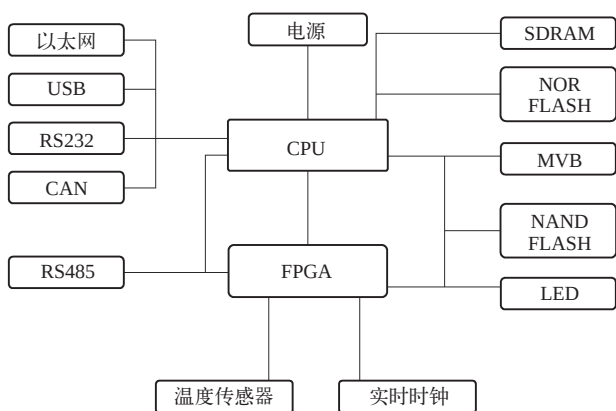


图3 VCMe硬件拓扑

VCMe的硬件系统是一个基于微处理器的嵌入式系统VxWorks，其结构主要包括：CPU子系统、存储器子系统、MVB通信子系统、电源子系统及其他通信接口子系统。CPU为英尔特的IXP425网络处理器，其主要功能为CPU协调和控制各子系统，完成VCMe对外的所有通信和控制功能。FPGA为Xilinx的XC2S50，用于实现MVB、CAN和NAND FLASH等的协议控制与管理及各种总线的仲裁。

以太网架构优化方案

根据图3可知，现有的VCMe模块采用CPU自带的以太网接口，并在操作系统VxWorks中调用以太网程序用于实现以太网信息交互。

该方案在当以太网端口仅用于点对点数据传输时可行，但若用于图2所示的网络拓扑则存在风险。因为网络中很容易出现广播风暴，一旦出现风暴，CPU的以太网端口收到大量的无效的数据，从而导致CPU占用率100%，最终导致VxWorks操作系统无法正常工作。

针对上述问题，提出一种优化后的以太网架构，如图4所示。与图3不同之处在于，以太网接口从原有与CPU连接，改为与FPGA连接。这样的优化方案能够避免当以太网产生广播风暴时，导致CPU占用100%的问题，最坏的结果仅影响FPGA芯片的正常工作。

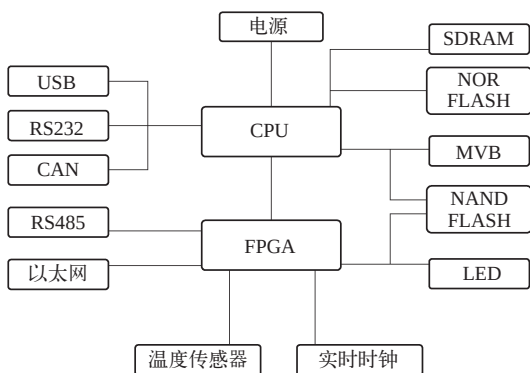


图4 优化后的VCMe硬件拓扑

根据开放式系统互联模型OSI定义了网络互连的七层框架，即物理层Physical（PHY）、数据链路层Data Link（MAC）、网络层Network（IP）、传输层Transport（TCP/UDP）、会话层Session（RPC）、表示层Presentation和应用层Application。根据模型，物理层PHY已经在图3和图4的以太网接口模块实现，数据链路层MAC由CPU芯片实现。FPGA芯片通过实现数据链路层MAC，从而实现图4的优化方案。

结束语

本文针对以太网广播风暴导致CPU模块停止工作的问题，并提出了一种由FPGA实现数据链路层MAC的优化以太网架构，从而避免了广播风暴导致CPU无法工作的问题。EA

（收稿日期：2020.02.14）

（编辑：朱金凤）