

[电力通信]

电力通信芯片中减少所用金属层数的版图 ECO 方法

文/北京智芯微电子科技有限公司 刘金禾 胡毅 甘杰 刘浩 冯文楠 胡旭

在电力通信芯片版图设计后期，时序和功能验证等方面容易出现违例，需要对版图设计做出修改。工程改变命令（Engineering Change Order, ECO）是解决这些问题的重要手段。本文以自研电力通信芯片的版图 ECO 为例，提出了一种可以减少所用金属层数的版图 ECO 方法，可以实现降低成本和加快产品生产周期的目的。

近年来随着能源互联网的建设和电力信息化技术的高速发展，电力通信芯片的种类越来越丰富，所使用的工艺制程越来越先进，对于加快产品开发和生产周期的要求越来越高。这些变化对集成电路（Integrated Circuit, IC）设计的挑战随之剧增，设计流程日趋复杂和完善。据统计，过半的芯片项目因验证过程中发现问题而修改设计。目前的 IC 设计包含了系统设计、功能验证、逻辑综合、版图设计和验证等多个环节。这些环节中任何一个出现问题，都会对该环节甚至多个环节造成反复修改和调试，影响项目质量和进展。而且越靠后的环节出现问题，对项目的质量和进展造成的影响越大。

数字版图设计是整个 IC 设计流程中比较靠后且非常关键的环节，它进一步分为：读取设计数据、布局、时钟树综合、布线、时序优化和物理验证等阶段，如图 1 所示。针对数字版图设计过程中发现的问题，采用 ECO 的方式进行局部修改是主流手段，可以使对项目造成的影响最小化。

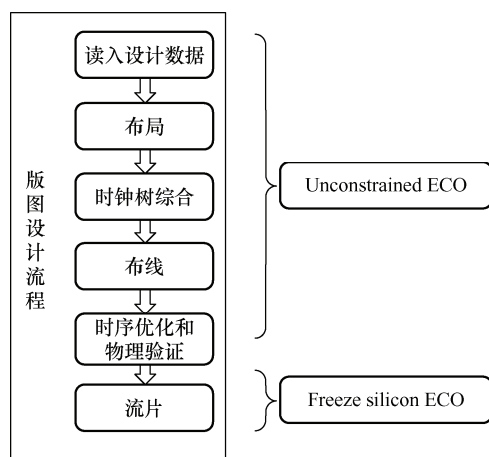


图 1 数字版图设计流程

ECO 分类和芯片版图 ECO 需求

根据芯片是否流片，芯片 ECO 方式主要分为两种：流片前的 Unconstrained ECO 和流片后的 Freeze Silicon ECO（如图 1 所示）。Unconstrained ECO 可以通过增减单元（cell）的方式，对设计进行较灵活的修改。而 Freeze

Silicon ECO 则是在流片后, cell 已经固定无法增减的情况下, 通过调整金属连线的方式完成设计修改。这两种类型的 ECO 都会对芯片生产周期产生影响。特别是 Freeze Silicon ECO, 直接决定着掩膜版 (mask) 的修改数量, 对芯片的生产成本影响更大。

本文描述的芯片是一款电力行业用电信息采集通信芯片, 采用了 55 nm 工艺下的 7 层金属设计。除去一层金属作为保护层外, 其余六层金属可用于布线。布线前芯片已完成器件层的生产。针对测试验证中发现的问题, 需要对芯片中一小部分逻辑做出修改。综合芯片生产周期和掩膜 (mask) 成本的考虑, Freeze Silicon ECO 是最可行的方法。经过对 RTL 设计的具体分析和仿真验证, Freeze Silicon ECO 目标为: 将多个数字标准单元 (Standard cell) 输入端口的连线断开, 重新连接到已经存在的钳位单元 (Tie cell) 上, 使得这些 standard cell 的输入为常量 0 或 1, 同时减少 mask 改动数量以降低成本。

芯片版图布线分析

芯片中各器件之间的逻辑关系是通过版图上的金属布线实现的, 而在芯片尺寸固定的情况下, 布线资源是有限的。ECO 方案的布线是否成功需要分析芯片当前的布线情况。首先, 分析芯片各层金属的布线。根据版图工具编译器 (IC Compiler, ICC) 中报出的各层金属的利用率情况。以使用最多的金属层 ME4 为例, 图 2 所示的是需要做 ECO 的数字标准单元 (白色高亮部分) ME4 的布线拥塞 (congestion) 情况。然后, 分析 ECO 方案所涉及到的 Standard cell 的位置分布。从图 2 中高亮单元的位置可以看出, 需要批量做 ECO 的 Standard cell 的位置都比较靠近。为节省布线资源, 用尽可能短的走线完成 ECO 修改, 需要在这批 Standard cell 的附近找到距离最近的 Tie cell。

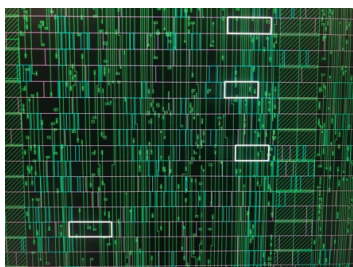


图 2 需要进行 ECO 的单元

如图 3 所示, 两个小尺寸高亮单元在附近所找到的 Tie cell。一般情况下, 在需要做 ECO 的 Standard cell 附近有多个 Tie cell, 而 Standard cell 和不同 Tie cell 之间的布线 congestion 是有差别的, 为了提高布线成功率, 选择与 Standard cell 之间的 congestion 较低的区域完成走线。



图 3 ECO 单元和附近的 Tie cell

如果 Standard cell 附近没有 Tie cell, 如图 4 所示, 则只能选择更远的 Tie cell, 尝试完成布线。而在选择这类较远的 Tie cell 时, 依然需要借助芯片的布线图, 寻找出一条 congestion 较低的通道来提高布线成功率。图 4 中 A 点和 B 点之间的区域信号线密集, 无法完成接近直线距离上的布线。而 C 点和 B 点间的布线资源更加充裕, 所以选择 C 点的 net 和 ECO cell 相连。

在选择完 Tie cell 后, 对所有可用的 6 层金属不设限制进行布线尝试, 结果布线成功。

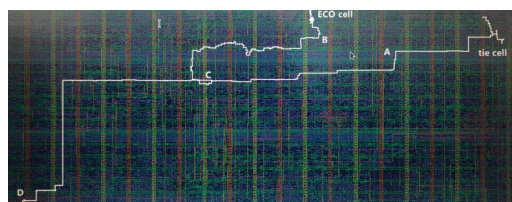


图 4 远距离 ECO 布线

金属层数选择

在所有布线 layer 可用的情况下, 上述 ECO 方案布线获得成功。为了降低成本, 需要减少所用的 layer 进行布线, 也就是限制 ECO 可以使用的 layer。版图中 Standard cell 的端口只占用了最底层的金属 metal1 层, 不同 cell 端口之间的连线都由 metal1 开始, 中间走线可能会通过过孔 (via) 占用到中层 layer 如 metal3, 甚至高层 layer 如 metal5, 最后再由 metal5 层或 metal3 层返回到 metal1 层。

根据使用 layer 数量的不同, 分别设置最高层 (max

layer) 为 metal2、metal3 和 metal4 三种布线方案。结果表明, 使用 metal1 和 metal2 两层 layer 布线时, 出现较多无法优化的布线违例; 再增加一层 metal3 时布线通过。对比 ECO 前后的布线版图发现, 由于设置 max layer 为 metal3 时, ICC 工具会破坏 ECO net 中使用 metal4、metal5 甚至 metal6 层的部分。所以在版图 ECO 时需要进一步解决两个问题: 一是保持 metal3 以上的各层走线不变, 二是所用 layer 为 metal1、via1、metal2、via2 和 metal3 时, 是否可以进一步缩减。

ECO 的操作可以简单概括为两类: 断开原有连接和建立新连接。一条走线经过不同 metal 层。要保持 metal3 以上各层不变, 需要将断开和连接的操作控制在 metal1 和 metal3 之间。而 ICC 在重新连接时只对整条走线做处理, 无法将一条走线分段处理, 会强制删除和该 ECO cell 端口相连的原有走线, 所以需要按照图 5 中的流程操作: 先将原有连接走线输出成脚本文件, 然后删除掉该条走线, 重新做 ECO 自动布线, 只保留图 4 中 B 到 C 之间一段, 其余部分删掉, 读取之前保留的布线脚本, 重现原先保持的那段走线。这样既用规定的金属层完成了新的连接, 又保持了其余金属层不动。该方法解决了之前所述的保持 metal3 以上各层走线不变的问题。ECO 布线流程如图 5 所示。



图 5 ECO 布线流程

对于进一步缩减所用金属层和通孔数量问题, 因为 cell 端口 metal1 和 metal2 之间的连接比较简洁, 同样可以借用原有的走线完成新的连接。将 metal1 和 via1 的金属形状保留, 但是需要更新金属所属的走线名称。ECO

流程和前面一个问题类似, 这样会使 metal1 和 via1 保持不变, 只更改 metal2、via2 和 metal3, 进一步缩减了所用的金属层数。最终的 ECO 方案使用 metal2、via2 和 metal3 三层完成。

版图 ECO 设计结果

对比 ECO 前后的最终版图数据, 如图 6 所示, 只更新了三层 mask, 通过了时序收敛, 物理验证和功能仿真验证。本文提出的 ECO 方法在保证功能更改正确的基础上, 通过减少金属层数, 降低了芯片的成本, 缩短了产品生产周期, 达到了设计预期。

针对不同项目的版图设计, 该方法不局限于使用低层金属进行 ECO 操作, 还可以保持 metal1 和 metal2 等低层金属层, 只更改更高层中的某几层。

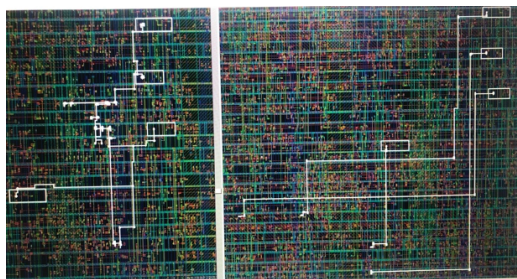


图 6 版图 ECO 布线情况

结束语

本文介绍了 ECO 在当前电力通信芯片版图设计中的重要地位, 分析了自研通信芯片的布局布线情况, 并基于分析结果提出了一种降低成本的 ECO 方法, 实现了 ECO 版图设计。该版图 ECO 设计方法达到了降低成本和加快产品生产周期的目的。EA

(收稿日期: 2020.11.03)

声 明

《电气时代》杂志唯一投稿渠道

登录电气时代官网 www.eage.com.cn, 点击“我要投稿”

咨询电话: 010 - 68993981